

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10284691 A**

(43) Date of publication of application: **23.10.98**

(51) Int. Cl.

**H01L 27/04**  
**H01L 21/822**  
**H03H 7/075**

(21) Application number: **09093915**

(71) Applicant: **SEIKO EPSON CORP**

(22) Date of filing: **11.04.97**

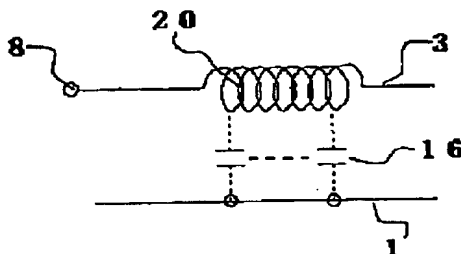
(72) Inventor: **OGUCHI AKIRA**

(54) **SEMICONDUCTOR DEVICE AND NOISE FILTER**

(57) Abstract:

PROBLEM TO BE SOLVED: To avoid the increase of a delay time and, at the same time, reduce a component cost and an assembly and mounting cost in the manufacture of an electronic apparatus by a method, wherein a spiral-shaped filter is built in a semiconductor device itself.

SOLUTION: A distributed constant type low-pass filter is composed of a distributed capacitance 16, formed between a semiconductor substrate 1 and a 1st metal wiring 3 and the inductance of the 1st metal wiring 3 formed into a spiral shape. If, for instance, a spiral is formed around a pad of 60  $\mu\text{m}$ -square, the noises of an electronic apparatus used in a GHz frequency band can be effectively removed. Further, the increase in a delay time can be avoided and, a component cost and an assembly and mounting costs in the manufacture of the electronic apparatus can be reduced.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-284691

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

L

21/822

H 0 3 H 7/075

A

H 0 3 H 7/075

H 0 1 L 27/04

C

F

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願平9-93915

(22) 出願日

平成9年(1997)4月11日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小口 朗

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

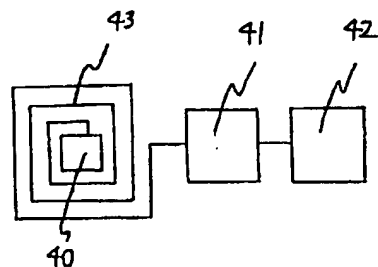
(54) 【発明の名称】 半導体装置、及びノイズフィルター

(57) 【要約】

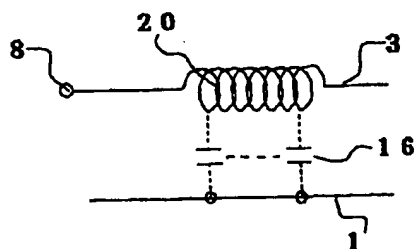
【課題】ノイズフィルターを具備する半導体装置に関する。ノイズ対策誤動作防止対策として、内部回路にてデイレインバータを用いて論理積をとる為、遅延時間が増加してしまう。

【解決手段】半導体基板上に第1の絶縁膜を介して第1の金属配線をスパイラル状に形成し、前記第1の金属配線が信号線として動作し、前記半導体基板が接地線として動作させることにより、第1の金属配線が所有するインダクタンスと半導体基板及び第1の金属配線間の分布容量(キャパシタンス)によるノイズフィルターが形成される。

【効果】半導体基板を接地線として利用することにより、金属配線1層でノイズフィルターを構成することができるので、簡略なプロセスで信頼性の高いノイズフィルターを設けることができる。



(a)



(b)

**【特許請求の範囲】**

【請求項1】 各々のパッドにおいて、前記パッドから内部回路までの信号配線について、前記信号配線が前記パッドのまわりに、少なくとも数周スパイラル状にレイアウトされてから、静電気保護回路を経て、前記内部回路まで引き回されることによって、半導体チップ自身がスパイラル状のノイズフィルターを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域（領域1とする）を形成し、前記信号配線のスパイラルノイズフィルター形成部分の一部が前記領域1と接触していることを特徴とする半導体装置。

【請求項3】 半導体基板上に第1の絶縁膜を介して第1の金属配線をスパイラル状に形成し、前記第1の金属配線が信号線として動作し、前記半導体基板が接地線として動作することを特徴とするノイズフィルター。

【請求項4】 請求項3記載のノイズフィルターにおいて、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域（領域2とする）を形成し、前記第1の金属配線の一部が前記領域2と直接接していることを特徴とするノイズフィルター。

【請求項5】 請求項3記載のノイズフィルターにおいて、接地線のパッドを形成する第1の金属配線（信号線とは異なる）の一部が直接前記半導体基板と接触していることを特徴とするノイズフィルター。

【請求項6】 請求項5記載のノイズフィルターにおいて、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域を、前記第1の金属配線（信号線）と対向させながらスパイラル状に形成し（領域3とする）、接地線のパッドを形成する第1の金属配線（信号線とは異なる）の一部を前記領域3の一部分と接触させ、前記領域3を接地線として動作させることを特徴とするノイズフィルター。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、ノイズフィルターを具備する半導体装置、及びノイズフィルターに関する。

**【0002】**

【従来の技術】 近年の電子機器の高速化に伴い内部回路のノイズ対策は必要不可欠なものとなっており、内部回路で使用されるノイズフィルターの需要は年々増加している。また製品のトータルコストを下げるためにもノイズフィルターについて低コストで高性能なものが市場か

ら要求されている。最近、低コストで量産可能な半導体プロセスを利用したノイズフィルターが注目されている。

【0003】 従来の半導体プロセスを利用したノイズフィルターとしては特開平6-77711に示されるものがある。図5に従来のノイズフィルターの断面図、図6に従来のノイズフィルターの等価回路を示し説明する。

【0004】 図5において1は半導体基板、2は絶縁膜、3は第1の金属配線、5は第2の金属配線、8は第1の金属配線3の引出電極である。

【0005】 従来のノイズフィルターのプロセス工程は半導体基板1の上に第1の金属配線3をスパイラル状に形成し、次に前記第1の金属配線3の表面に絶縁膜2を形成し、次に前記絶縁膜2の上に第2の金属配線5をスパイラル状に形成するとともに、前記第1の金属配線3の端部に引出電極8を形成する。

【0006】 上述の工程後、前記第2の金属配線5の両端及び前記第1の金属配線3の端部の引出電極8にボンディングする。

【0007】 図6において3は第1の金属配線、5は第2の金属配線、8は第1の金属配線3の引出電極、15は第1の金属配線3と第2の金属配線5の間に形成される分布容量、20は第1の金属配線3及び第2の金属配線5が所有するインダクタンスである。

【0008】 スパイラル状に形成された第1の金属配線3及び第2の金属配線5は所定のインダクタンス20を有し、図5の絶縁膜2が誘電体として作用することにより第1の金属配線3と第2の金属配線5の間には分布容量15が形成されるため、インダクタンスと分布容量による分布定数型のローパスフィルターとして用いることができる。

**【0009】**

【発明が解決しようとする課題】 従来の半導体装置においては、ノイズフィルターをプロセス工程で作り込むことはしない為、ノイズによる誤動作防止対策としては、内部論理回路にディレーインバータを用いて論理積をとることで、内部にノイズが伝播するのを防いでいるが遅延時間が増加するという問題があった。

【0010】 また、従来の半導体プロセスを利用したノイズフィルターは、ノイズフィルターそれ自身が単品であることで、電子機器製品を製作する上で部品コスト、組立実装コストが上昇するという問題を有していた。

【0011】 また、従来の半導体プロセスのノイズフィルターにおいては、金属配線の2層構造プロセスになっており、ノイズフィルター単品のプライスダウンに伴い、プロセスコストの占める比重が大きくなりつつあるという問題を有していた。

【0012】 そこで、本発明は半導体装置自身にノイズフィルターを内蔵させ、遅延時間の増加を回避するとともに、電子機器製品を製作する上で部品コストの低減、

組立実装コストの低減を可能とすることを目的とする。

【0013】また、本発明は、従来のプロセス工程をより簡略化して金属配線の1層構造にすることで製造コストの低減を可能とすることを目的とする。

【0014】

【課題を解決するための手段】本発明の請求項1記載の半導体装置は、各々のパッドにおいて、前記パッドから内部回路までの信号配線について、前記信号配線が前記パッドのまわりに、少なくとも数周スパイラル状にレイアウトされてから、静電気保護回路を経て前記内部回路まで引き回されることによって、半導体チップ自身がスパイラル状のノイズフィルターを具備することを特徴とする。

【0015】本発明の請求項2記載の半導体装置は、請求項1記載の半導体装置において、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域（領域1とする）を形成し、前記信号配線のスパイラルノイズフィルター形成部分の一部が前記領域1と接触していることを特徴とする。

【0016】本発明の請求項3記載のノイズフィルターは、半導体基板上に第1の絶縁膜を介して第1の金属配線をスパイラル状に形成し、前記第1の金属配線が信号線として動作し、前記半導体基板が接地線として動作することを特徴とする。

【0017】本発明の請求項4記載のノイズフィルターは、請求項3記載のノイズフィルターにおいて、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域（領域2とする）を形成し、前記第1の金属配線の一部が前記領域2と直接接触していることを特徴とする。

【0018】本発明の請求項5記載のノイズフィルターは、請求項3記載のノイズフィルターにおいて、接地線のパッドを形成する第1の金属配線（信号線とは異なる）の一部が直接前記半導体基板と接触していることを特徴とする。

【0019】本発明の請求項6記載のノイズフィルターは、請求項5記載のノイズフィルターにおいて、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域を、前記第1の金属配線（信号線）と対向させながらスパイラル状に形成し（領域3とする）、接地線のパッドを形成する第1の金属配線（信号線とは異なる）の一部を前記領域3の一部と接触させ、前記領域3を接地線として動作させることを特徴とする。

【0020】

【作用】ノイズフィルターを半導体装置内に内蔵させることで、遅延時間が増加することなく、内部回路にノイ

ズが伝播するのを防ぐことができる。

【0021】金属配線が1層で構成されたノイズフィルターは、半導体基板を接地線として利用するため従来よりもコストダウンが可能となる。

【0022】さらに、信号線と半導体基板（接地線）の間に静電気破壊に対する保護ダイオードを形成することでダイオード無しのノイズフィルターに比べて静電気耐量を増大させることができる。

【0023】

【発明の実施の形態】

（実施の形態1）図1は、請求項1記載の発明に係わる半導体装置のパッド近傍の図を示す。

【0024】図1（a）において40はパッド、41は静電気保護回路、42は内部回路、43はスパイラル型のノイズフィルターである。ここで、43は第1の金属配線で形成されているものとする。

【0025】図1（b）にノイズフィルターの等価回路を示す。3は第1の金属配線、20は第1の金属配線3のインダクタンス、16は第1の金属配線3と半導体基板1（もしくは基板表面に形成されたウェル）の間に形成される分布容量（MOS容量）、1は半導体基板（もしくは基板表面に形成されたウェル）、8はパッドの引出電極である。

【0026】図1（b）から明らかなように、半導体基板1（もしくは基板表面に形成されたウェル）と第1の金属配線3の間に形成される分布容量16と、スパイラル状に形成された第1の金属配線3が所有するインダクタンスによって分布定数型のローパスフィルターが形成される。

【0027】例えば、60 $\mu$ m角のパッドの周囲にスパイラルを形成したとすると、スパイラルのインダクタンス値は約1.25nHとなり、容量は半導体基板との層間膜厚を0.8 $\mu$ mとすると約0.2pFとなる。

【0028】この場合、共振周波数は約10GHzとなり、特にGHz帯の周波数を使用する電子機器のノイズに対して有効に除去できる。

【0029】また、遅延時間の増加を招くことなく、かつ電子機器製品を製作する上で部品コストの低減、組立実装コストの低減が可能となる。

【0030】（実施の形態2）図2は、請求項2記載の発明に係わる半導体装置が具備するノイズフィルターの断面図を示す。

【0031】図2（a）において、1は半導体基板、6は第1の絶縁膜、3は第1の金属配線、8はパッドの引出電極、10は導電性ペースト、12はリードフレーム、25は半導体基板1（もしくは基板表面に形成されたウェル）の導電タイプとは異なる導電タイプの領域、7は第2の絶縁膜である。ここでは半導体基板1（もしくは基板表面に形成されたウェル）をp形、25をn形として説明する。

【0032】プロセス工程は半導体基板1（もしくは前記ウェル）の上に第1の絶縁膜6を形成し、次に前記第1の絶縁膜6の一部分をエッチングで除去する。次に第1の絶縁膜6が除去された部分に拡散もしくはイオン・インプラにより前記半導体基板1（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域25を形成する。次に前記第1の絶縁膜6の上に第1の金属配線3をスパイラル状に形成するとともに、前記第1の金属配線3の一部と25とのコンタクトをとる。その後、CVDによるデポ等でパッシベーション膜（第2の絶縁膜7）を形成し、前記第1の金属配線3の両端の引出電極8の部分のみパッシベーション膜をエッチングで除去して終了する。

【0033】図2（b）にノイズフィルターの等価回路を示す。半導体基板1（もしくは前記ウェル）と、半導体基板1（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域25の接合面で形成されるpn接合ダイオード26が加わった以外は図1（b）と同じである。

【0034】この等価回路図から明らかなように、実施の形態2によればローパスフィルタに加えて、さらに静電気破壊に対する保護ダイオードも形成されている。

【0035】上述の構造によって、ノイズ耐量が向上するだけでなく、半導体装置の静電気耐量もさらに増大させることができる。

【0036】（実施の形態3）図3は、請求項3記載の発明に係わるノイズフィルターの断面図を示す。

【0037】図3において、1は半導体基板、6は第1の絶縁膜、3は第1の金属配線、8は第1の金属配線3の引出電極、10は導電性ペースト、12はリードフレーム、7は第2の絶縁膜である。

【0038】プロセス工程は半導体基板1の上に第1の絶縁膜6を形成し、次に前記第1の絶縁膜6の上に第1の金属配線3をスパイラル状に形成し、CVDによるデポ等でパッシベーション膜（第2の絶縁膜7）を形成し、前記第1の金属配線3の両端の引出電極8の部分のみパッシベーション膜をエッチングで除去して終了する。

【0039】プロセス工程終了後、第1の金属配線3の両端の引出電極8をボンディングする。この実施の形態では、半導体基板1が導電性ペースト10で接着されているところのリードフレーム12は接地電位の役割を担う。

【0040】ノイズフィルターの等価回路は図1（b）と同様になる。

【0041】本発明によるノイズフィルターは、金属配線が1層で構成されているため従来よりもコストダウンが可能である。

【0042】また、ノイズフィルターは単品であることから、第1の絶縁膜6の膜厚値、膜種を選択することで

共振周波数を選択することができる（製品のラインアップが豊富になる）メリットがある。

【0043】（実施の形態4）図4は、請求項4記載の発明に係わるノイズフィルターの断面図を示す。

【0044】図4において、25は半導体基板1（もしくは基板表面に形成されたウェル）の導電タイプとは異なる導電タイプの領域であり、他は図3と同じである。ここでは半導体基板1（もしくは前記ウェル）をp形、25をn形として説明する。

【0045】プロセス工程は半導体基板1（もしくは前記ウェル）の上に第1の絶縁膜6を形成し、次に前記第1の絶縁膜6の一部分をエッチングで除去する。次に第1の絶縁膜6が除去された部分に拡散もしくはイオン・インプラにより前記半導体基板1（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域25を形成する。次に前記第1の絶縁膜6の上に第1の金属配線3をスパイラル状に形成するとともに第1の金属配線3の一部と25とのコンタクトをとる。その後、CVDによるデポ等でパッシベーション膜（第2の絶縁膜7）を形成し、前記第1の金属配線3の両端の引出電極8の部分のみパッシベーション膜をエッチングで除去して終了する。

【0046】プロセス工程終了後、第1の金属配線3の両端の引出電極8にボンディングする。この実施の形態では、半導体基板1が導電性ペースト10で接着されているところのリードフレーム12は接地電位の役割を担う。

【0047】ノイズフィルターの等価回路は図2（b）と同様になる。

【0048】よって、実施の形態4によれば実施の形態3と同一の分布定数型のローパスフィルタを形成し、さらに静電気破壊に対する保護ダイオードも形成されているのでノイズフィルターの静電気耐量が向上する。

【0049】また保護ダイオードを保有するため、半導体基板1と第1の金属配線3を絶縁する第1の絶縁膜6の膜厚値を、保護ダイオードが無い場合よりも小さくすることができるので、それが無い場合よりも高容量のノイズフィルターを作ることが可能になるとともに、保護ダイオードが無い場合よりもチップサイズを小さくできる。

【0050】また、請求項5記載のノイズフィルターのよう、接地線のパッドを形成する第1の金属配線（信号線とは異なる）の一部が直接前記半導体基板と接触する構造であってもよい。

【0051】また請求項6記載のノイズフィルターのよう、半導体基板（もしくは基板表面に形成されたウェル）の表面の一部に前記半導体基板（もしくは前記ウェル）の導電タイプとは異なる導電タイプの領域を、前記第1の金属配線（信号線）と対向させながらスパイラル状に形成し（領域3とする）、接地線のパッドを形成す

る第1の金属配線（信号線とは異なる）の一部を前記領域3の一部分と接触させ、前記領域3を接地線として動作させる構造であってもよい。

【0052】この場合、領域3の不純物濃度を高くすることで、接地線抵抗を下げられること、及び接地線がスパイラル状に形成されることから、減衰特性がより良好になるというメリットがある。

【0053】

【発明の効果】ノイズフィルターを半導体装置内に内蔵させることで、遅延時間が増加することなく、内部回路にノイズが伝播するのを防ぐことができる。

【0054】金属配線が1層で構成されたノイズフィルターは、半導体基板を接地線として利用するため従来よりもコストダウンが可能となる。

【0055】また、信号線と半導体基板（接地線）の間に静電気破壊に対する保護ダイオードを形成することでダイオード無しのノイズフィルターに比べて静電気耐量を増大させることができる。

【0056】また保護ダイオードを保有する場合、それが無い場合よりも高容量のノイズフィルターを作ることが可能になるとともに、保護ダイオードが無い場合よりもチップサイズを小さくできる。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す半導体装置のパッド近傍の図。

【図2】本発明の一実施の形態を示す半導体装置が具備するノイズフィルターの断面図。

【図3】本発明の一実施の形態を示すノイズフィルターの

の断面図。

【図4】本発明の一実施の形態を示すノイズフィルターの断面図。

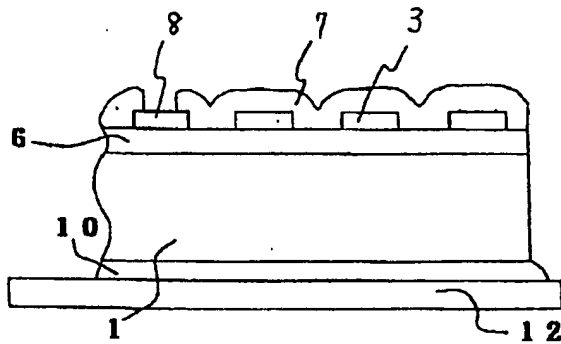
【図5】従来のノイズフィルターの断面図。

【図6】従来のノイズフィルターの等価回路の図。

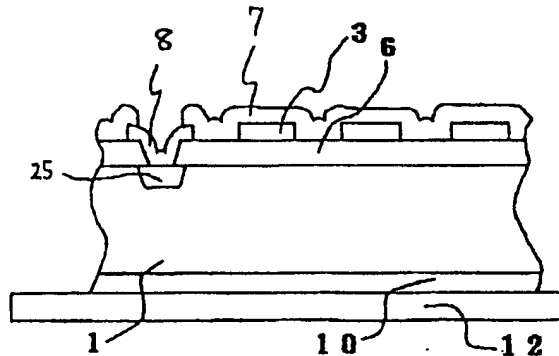
【符号の説明】

- 1 . . . . . 半導体基板
- 2 . . . . . 絶縁膜
- 3 . . . . . 第1の金属配線
- 5 . . . . . 第2の金属配線
- 6 . . . . . 第1の絶縁膜
- 7 . . . . . 第2の絶縁膜
- 8 . . . . . 引出電極
- 10 . . . . . 導電性ペースト
- 12 . . . . . リードフレーム
- 15 . . . . . 第1の金属配線と第2の金属配線の間に形成される分布容量
- 16 . . . . . 第1の金属配線と半導体基板の間に形成される分布容量
- 20 . . . . . 第1の金属配線及び第2の金属配線が所有するインダクタンス
- 25 . . . . . 半導体基板の導電タイプとは異なる導電タイプの領域
- 26 . . . . . p n接合ダイオード
- 40 . . . . . パッド
- 41 . . . . . 静電気保護回路
- 42 . . . . . 内部回路
- 43 . . . . . スパイラル型のノイズフィルター

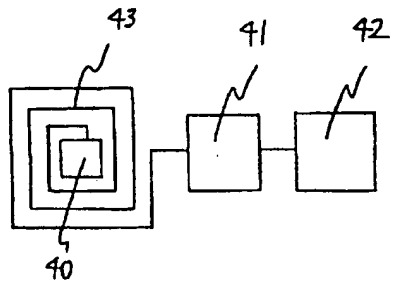
【図3】



【図4】

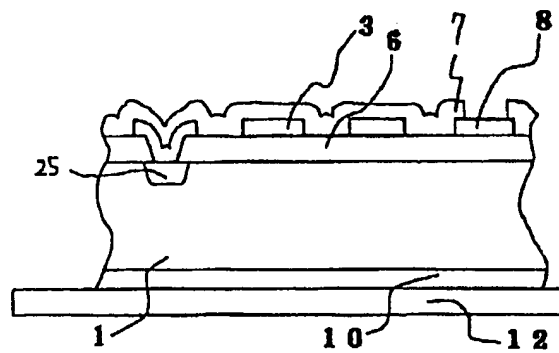


【図1】

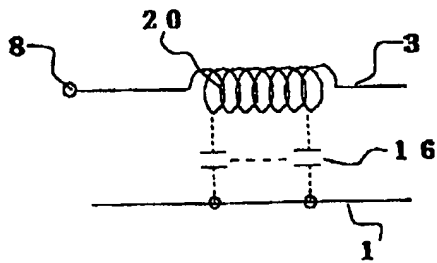


(a)

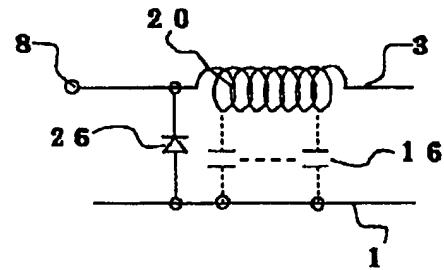
【図2】



(a)

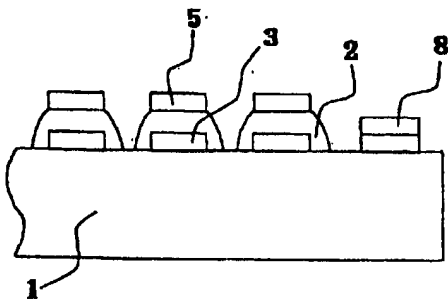


(b)



(b)

【図5】



【図6】

